

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-060264

(43)Date of publication of application : 07.03.1989

(51)Int.Cl.

H02M 7/48
H02P 7/628
H02P 7/63

(21)Application number : 62-215408

(71)Applicant : HITACHI LTD

(22)Date of filing : 31.08.1987

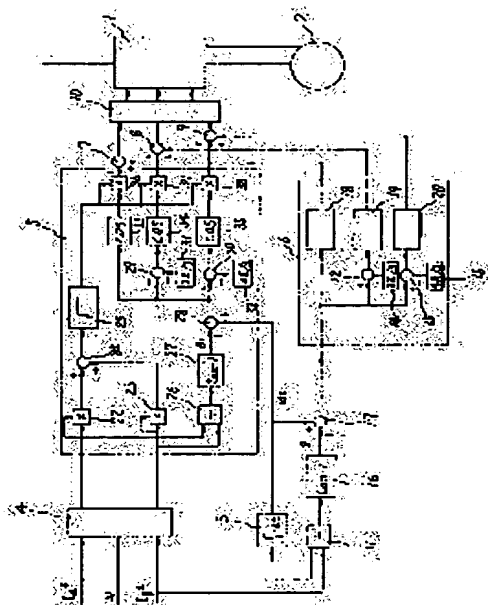
(72)Inventor : MATSUI TAKAYUKI
OKUYAMA TOSHIKI
KUBOTA YUZURU
TAKAHASHI JUNICHI

(54) METHOD AND DEVICE FOR CONTROLLING VOLTAGE TYPE INVERTER

(57)Abstract:

PURPOSE: To produce sinusoidal output current, by compensating basic component and higher harmonic components of output voltage drop caused through ON delay without detecting the output current directly.

CONSTITUTION: PWM inverter 1 converts DC voltage into AC voltage and feeds three-phase AC voltage to an AC motor 2. A control circuit comprises an integrator 3, a voltage command operating circuit 4, a co-ordinate converter 5 and the like, and provides a phase angle viewed from U-phase in a stator co-ordinate system to a memory 18 and adds 12, 13 constituting a compensation voltage operating circuit 6, while memories 18~20 provide compensation voltage signals to adders 7~9. The adders 7~9 provide output voltage command signals from the PWM inverter 1 to a PWM pulse generating circuit 10. Phase angle is operated based on a current command signal and a primary angular frequency in a rotary field co-ordinate system, then compensation voltages for respective phases are read out from the memories 18~20 corresponding to the phase angle and added to a three-phase output voltage command signal from the inverter thus carrying out compensation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-60264

⑪ Int. Cl.⁴

H 02 M 7/48
H 02 P 7/628
7/63

識別記号

3 0 2

庁内整理番号

F-8730-5H
B-7531-5H
K-7531-5H

⑬ 公開 昭和64年(1989)3月7日

審査請求 未請求 発明の数 2 (全7頁)

⑭ 発明の名称 電圧形インバータの制御方法及び装置

⑮ 特 願 昭62-215408

⑯ 出 願 昭62(1987)8月31日

⑰ 発 明 者 松 井 孝 行 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑱ 発 明 者 奥 山 俊 昭 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑲ 発 明 者 久 保 田 譲 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑳ 発 明 者 高 橋 潤 一 茨城県日立市大みか町5丁目2番1号 株式会社日立製作所大みか工場内
㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉒ 代 理 人 弁理士 小川 勝男 外2名

明 細 書

1. 発明の名称

電圧形インバータの制御方法及び装置

2. 特許請求の範囲

1. インバータを構成する正側及び負側スイッチング素子の短絡を防止する期間を設け、3相交流電圧指令信号に基づいてパルス幅変調制御することにより出力電圧を制御する電圧形インバータにおいて、固定子座標に対する前記インバータ出力電流の空間ベクトルの位相角を求め、当該位相角に基づいて前記短絡防止期間による出力電圧降下を補償する電圧を決定し、該補償電圧信号を前記3相交流電圧指令信号の少なくとも2相分以上に加算することを特徴とする電圧形インバータの制御方法。

2. 交流電動機に可変電圧可変周波数の交流を供給する電圧形インバータと、前記交流電動機の一次角周波数を与える周波数指令手段と、該周波数指令手段の出力信号に基づいて前記交流電動機の3相交流電圧指令信号を与える出力電圧

指令手段と、該出力電圧指令手段の出力信号に基づいてパルス幅変調制御し、その出力パルス信号に前記電圧形インバータの正側と負側スイッチング素子の短絡を防止する期間を設けて出力電圧を制御するパルス幅変調回路と、前記短絡防止期間による前記電圧形インバータの出力電圧降下の補償電圧信号を前記3相交流電圧指令信号に加算する補償手段とを具備し、該補償手段は前記電圧形インバータの出力電流の空間ベクトルの固定子座標に対する位相角に応じて前記補償電圧信号をメモリから読み出すようにしたことを特徴とする電圧形インバータの制御装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はパルス幅変調インバータ(以下PWMインバータと称する)の出力電圧を制御する方法に関する。

(従来の技術)

PWMインバータにおいては、インバータを構

成する正側及び負側スイッチング素子を交互に導通制御して、出力電圧をPWM制御する。しかし、スイッチング素子にはターンオフ時間によるスイッチングの遅れがあるため、正側及び負側が同時に導通しないように短絡防止期間（以下オンデレイと称する）を設けている。このため、オンデレイの影響によりインバータの出力電圧に波形歪みが生じるという問題がある。

そこで、従来では、オンデレイによる出力電圧の低下を補償する方法として特開昭60-118081号に記載のように、オンデレイによる出力電圧降下分の基本波成分を、力率角を考慮して演算し、それを極座標-3相変換回路の3相出力電圧指令に加算して補償する方法が提案されている。また、出力電流の瞬時値を検出し、その極性に応じた信号を3相電圧指令に加算して補償するフィードバック方式が特公昭59-8152号に記載されている。

〔発明が解決しようとする問題点〕

しかしながら、上記従来技術は、オンデレイによる出力電圧降下分の基本波成分しか補償できな

いたために、出力電流波形が歪み、負荷である交流電動機にトルクリプルが発生する問題があった。また、出力電流を検出してその極性に応じて補償するフィードバック方式では、検出電流に直流分あるいは出力電流波形の歪みのために極性検出が正しく行えず、補償がうまくできない問題があった。

本発明の目的は、出力電流を直接検出することなく、オンデレイによる出力電圧降下の基本波成分及び高調波成分を共に補償し、インバータの出力電流波形を正弦波に近づけることにある。

〔問題点を解決するための手段〕

上記目的は、オンデレイによるインバータの出力電圧降下を補償する電圧を、インバータの出力電流の空間ベクトルに関係して、この空間ベクトルの固定子座標系との成す位相角に対応した各相の前記補償電圧を、予め読み出し可能なメモリに記憶させておき、前記位相角を回転磁界座標系の電流指令信号と一次角周波数とから演算して前記メモリから各相の補償電圧を読み出し、インバー

タの3相出力電圧指令信号に加算して補償することにより達成される。

〔作用〕

PWMインバータの出力電流の大きさに対するオンデレイによる出力電圧降下は、第3図に示すように、大きさがほぼ一定で、その極性は出力電流の極性に応じて変化する。従つて、交流の出力電流に対するオンデレイによる出力電圧降下は、出力電流の極性に関係した矩形波状の波形となる。第4図の(a)、(b)、(c)は、各相の出力電流とオンデレイによる出力電圧降下の補償電圧の波形である。本発明では、インバータの出力電流ベクトルの固定子座標系から見た位相角の大きさを、回転磁界座標系の電流指令信号と一次角周波数とから演算し、この演算された位相角に応じてメモリから各相の補償電圧を読み出してインバータの3相出力電圧指令信号に加算して補償する。

〔実施例〕

本発明の一実施例を第1図に示す。

第1図において、PWMインバータ1は直流電

圧を交流電圧に変換し、交流電動機2に3相の交流電圧を供給する。PWMインバータ1を構成するスイッチング素子はPWMパルス発生回路10より、出力電圧指令信号と搬送波信号とを比較して作られるオン、オフパルスに短絡防止期間（オンデレイ）を付加したパルスが与えられる。積分器3は交流電動機2の一次角周波数指令信号 ω から座標変換器5の座標基準信号 ωt を演算して加算器17、28に出力する。電圧指令演算回路4は回転磁界座標系の電流指令信号 I_{α}^* 、 I_{β}^* に基づいて回転磁界座標系の電圧指令信号 v_{α}^* 、 v_{β}^* を演算して座標変換器5に出力する。

座標変換器5では回転磁界座標系の電圧指令信号 v_{α}^* 、 v_{β}^* が乗算器22、23及び除算器26に入力され、乗算器22、23の各々の出力信号を加算器24にて加算して平方根演算器25に入力し、電圧指令信号の大きさ V_i が演算されて乗算器36～38に加えられる。除算器26の出力信号を逆正接演算器27に入力して位相角を演算し、加算器28にて座標変換の座標基準信号 ωt

と加算されて余弦関数発生器33及び加算器29, 30に出力される。加算器29, 30はU相に対して $2\pi/3$, $4\pi/3$ 位相の遅れたV相, W相の基準信号を余弦関数発生器34, 35に出力する。余弦関数発生器33~35の出力信号は乗算器36~38に入力されて固定子座標系の3相の交流電圧指令信号 v_u^* , v_v^* , v_w^* が演算されて加算器7~9に加えられる。

除算器11は回転磁界座標系の電流指令信号 I_d^* , I_q^* の比を演算して逆正接演算器16に入力し、回転磁界座標系での電流位相角 θ を演算して加算器17に加える。加算器17は座標基準信号 ωt と電流位相角 θ を加算し、固定子座標系のU相から見た位相角 $(\theta + \omega t)$ を補償電圧演算回路6を構成するメモリ18及び加算器12, 13に出力する。加算器12, 13はU相に対して $2\pi/3$, $4\pi/3$ 位相の遅れたV相, W相から見た位相角をメモリ19, 20に出力する。メモリ18~20は入力された位相角 θ_1 に対応してPWMインバータ1のオンデレイによる出力電

圧低下を補償する補償電圧信号を加算器7~9に出力する。加算器7~9はPWMインバータ1の出力電圧指令信号 v_u^{**} , v_v^{**} , v_w^{**} をPWMパルス発生回路10に出力する。

次に、動作を説明する。

第1図の制御方式はPWMインバータによるベクトル制御方式であり、電圧指令演算器4にて交流電動機2の回転磁界座標系の励磁電流指令信号 I_d^* とトルク電流指令信号 I_q^* から回転磁界座標系の電圧指令信号 v_d^* , v_q^* を演算し、この電圧指令信号を座標変換器5にて固定子座標系の交流電圧指令信号 v_u^* , v_v^* , v_w^* に変換し、これと搬送波信号とを比較して得られるPWM信号に従い各相の出力電圧を制御するものである。電圧指令演算器4における演算は次式のように表わせる。

$$\left. \begin{aligned} v_d^* &= \gamma_1 \cdot I_d^* - \omega \cdot (L_1 + L_2) \cdot I_q^* \\ v_q^* &= \gamma_1 \cdot I_q^* + \omega \cdot L_1 \cdot I_d^* + \omega \cdot \frac{M}{1 + T_2 \cdot S} \cdot I_d^* \end{aligned} \right\} \dots (1)$$

ここに、 γ_1 : 交流電動機2の一次抵抗値

L_1, L_2 : 一次、二次漏れインダクタンス値

M : 励磁インダクタンス値

T_2 : 二次時定数,

S : 微分演算子である。

また、本実施例では極座標形式の場合であり、座標変換器5における演算は次式のように表わせる。

$$\begin{bmatrix} v_u^* \\ v_v^* \\ v_w^* \end{bmatrix} = \sqrt{(v_d^*)^2 + (v_q^*)^2} \cdot \begin{bmatrix} \cos(\omega t + \theta_1) \\ \cos(\omega t + \theta_1 - 2\pi/3) \\ \cos(\omega t + \theta_1 - 4\pi/3) \end{bmatrix} \dots (2)$$

ここに、 $\theta_1 = \tan^{-1}(v_q^*/v_d^*)$ である。

次に、本発明に係るオンデレイによる出力電圧低下を補償する動作を第3図、第4図を参照して説明する。PWMインバータ1の出力電流の大きさに対するオンデレイによる出力電圧低下の大きさは第3図に示すように、ほぼ一定で出力電流の極性に応じて変化する。従つて、交流の出力電流に対するオンデレイによる出力電圧低下は出力電流の極性に応じた矩形波状の波形となる。第4図の(a), (b), (c)は各相の出力電流とオンデレイによる出力電圧低下を補償するのに必要な電

圧の波形である。従来では破線で示すような波形の補償電圧を作るために各相の出力電流を検出してその極性が必要であつたが、本発明では第8図に示すように、回転磁界座標系d-q軸上の空間ベクトル μ と固定子座標系のU相との位相角 $(\theta + \omega t)$ に基づいて、読み出し可能なメモリ18~20より第4図(a), (b), (c)に示す破線のような波形の補償電圧を発生させるようにしている。その結果、電流検出信号の極性検出器が不要とできる。また、加算器12, 13はオンデレイによる出力電圧低下を補償する補償電圧の各相の位相がU相に対してV相, W相が各々 $2\pi/3$, $4\pi/3$ 遅れることからメモリの入力位相をずらすようにしたものである。その結果、メモリ18~20の入力位相角 θ_1 に対する出力信号の関係を同じにすることができる。第2図はメモリ18~20の入出力特性を示したものである。

以上のように、本実施例ではオンデレイによる出力電圧低下を補償する電圧の大きさを、PWMインバータの出力電流の空間ベクトルの位相角に

応じて決定するようにしている。各相の出力電流の極性検出器が不要とできると共に、メモリに記憶させる補償電圧波形を矩形波状あるいは基本波と高調波の合成波形とすることによりオンデレイによる出力電圧降下の基本波成分と高調波成分を補償することができる。

第5図は本発明の他の実施例である。第1図と同要素には同じ符号を付しているので説明を省略する。第1図と異なる所はオンデレイによる出力電圧降下を固定子座標系の2相分で補償するようにした点である。

加算器17は座標基準信号 ωt と電流位相角 θ を加算し、固定子座標系のU相から見た位相角 $(\omega t + \theta)$ を補償電圧演算回路6を構成する加算器12及びメモリ20に出力する。加算器12はW相に対してV相が $2\pi/3$ 位相が進みとなることを考慮するためのものである。メモリ19, 20は入力された位相角 θ に対応してPWMインバータ1のオンデレイによる出力電圧降下を補償する補償電圧信号を加算器8, 9に出力する。

そこで、V相とW相の補償のみで第4図(d), (e), (f)のような補償電圧を与えるV相, W相の補償電圧 $\widetilde{v_{iv}}$, $\widetilde{v_{iw}}$ を(3)式より求めると次式で表わされる。

$$\left. \begin{aligned} \widetilde{v_{iu}} &= 0 \\ \widetilde{v_{iv}} &= -v_{iu} - v \\ \widetilde{v_{iw}} &= v_{iw} - u \end{aligned} \right\} \quad \dots (4)$$

従つて、V相には第4図(d)に示す $v_{iu}-v$ の正、負を反転した波形の補償電圧を与え、W相には第4図(f)に示す $v_{iw}-u$ の波形の補償電圧を与えれば良い。第6図は本実施例による各相の補償電圧波形である。第6図の(a), (b), (c)は各相の出力電流に対するオンデレイによる出力降下を補償する電圧波形(破線で示す)であり、(d), (e), (f)はこの時に得られる線間電圧で見た補償電圧 $\widetilde{v_{iu}-v}$, $\widetilde{v_{iv}-w}$, $\widetilde{v_{iw}-u}$ の波形である。この第6図(d), (e), (f)の波形は第4図(d), (e), (f)の波形と一致する。

また、加算器12はメモリ19と20の内容を一致させるために、W相に対してV相を $2\pi/3$

加算器8, 9はPWMインバータ1の出力電圧指令信号 v_{u**} , v_{v**} をPWMパルス発生回路10に出力する。

次に、本発明に係るオンデレイによる出力電圧降下を補償する動作を第4図, 第6図を参照して説明する。

第4図(a), (b), (c)は各相の出力電流とオンデレイによる出力電圧降下を補償するのに必要な電圧の波形であるが、PWMインバータ1の出力端に接続される交流電動機の線間電圧においては、(d), (e), (f)に示すような補償電圧波形となる。そこで、本実施例ではPWMインバータ1の線間電圧に注目してオンデレイによる出力電圧を補償する補償電圧を2相分に加えるようにしている。

固定子座標系の各相の補償電圧 v_{iu} , v_{iv} , v_{iw} より線間電圧 $v_{iu}-v$, $v_{iv}-w$, $v_{iw}-u$ を求めると次式で表わせる。

$$\left. \begin{aligned} v_{iu}-v &= v_{iu} - v_{iv} \\ v_{iv}-w &= v_{iv} - v_{iw} \\ v_{iw}-u &= v_{iw} - v_{iu} \end{aligned} \right\} \quad \dots (3)$$

だけ進めるようにしたものである。第7図に本実施例によるメモリ19, 20の入出力特性を示す。

以上のように、本実施例では第1の実施例に比べてPWMインバータのオンデレイによる出力電圧降下を2相分で補償することができるので、その演算処理ステップ数を少なくできる。

なお、上述の各実施例においては動作説明を解り易くするためアナログ回路で説明したが、マイクロプロセッサを用いたデジタル制御ユニットに対しても本発明が適用できることは明らかである。

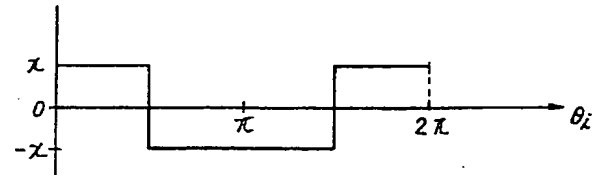
〔発明の効果〕

本発明によれば各相の出力電流の極性検出器が不要にできると共に、オンデレイによる出力電圧降下の基本成分と高調波成分を補償することができ、負荷である交流電動機のトルクリプルを軽減することができる。

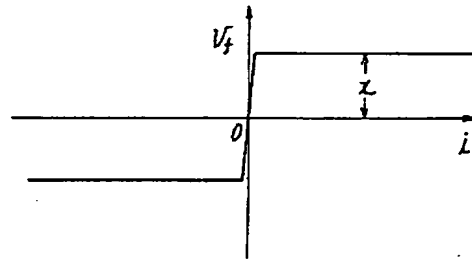
4. 図面の簡単な説明

第1図は本発明の第一実施例を示す構成図、第2図は第1図のメモリの入出力特性を示す特性図、

第 2 図



第 3 図

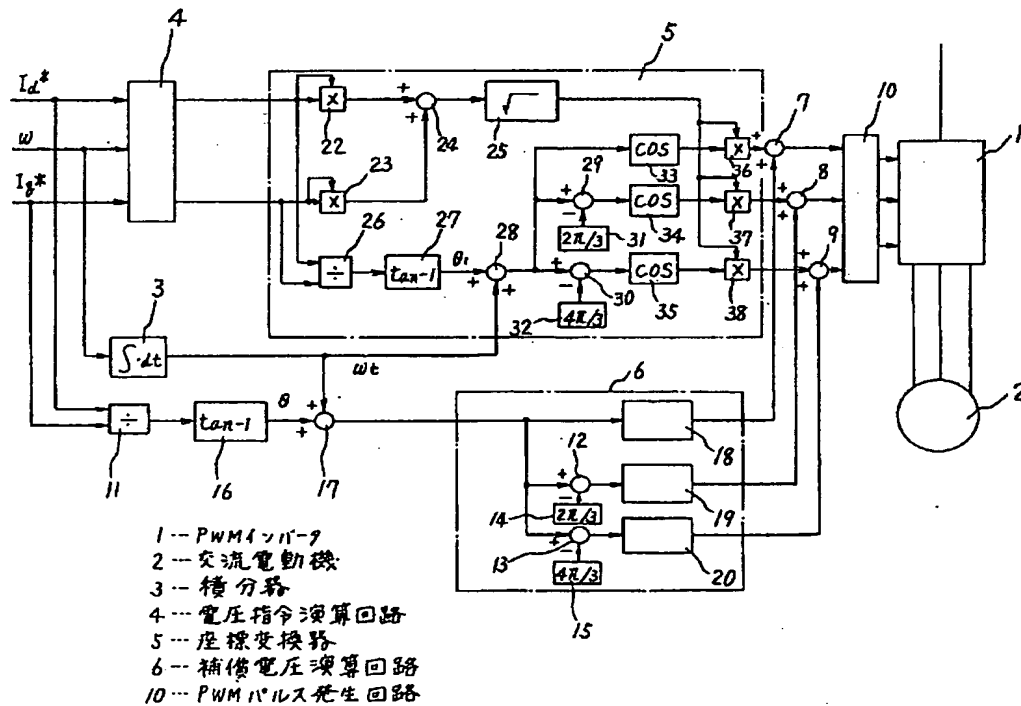


第 3 図 PWM インバータのオンデレイによる出力電圧降下の大きさを説明するための特性図、第 4 図は本発明の作用を説明するための波形図、第 5 図は本発明の第二の実施例を示す構成図、第 6 図は第二の実施例の作用を説明するための波形図、第 7 図は第 5 図のメモリの入出力特性を示す特性図、第 8 図は本発明の原理を説明するための空間ベクトル図である。

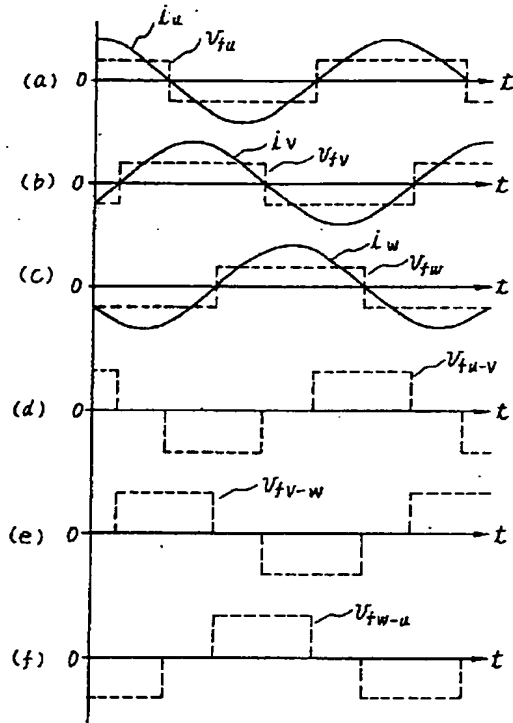
1 … PWM インバータ、2 … 交流電動機、3 … 積分器、4 … 電圧指令演算回路、5 … 座標変換器、6 … 補償電圧演算回路、10 … PWM パルス発生回路。

代理人 弁理士 小川勝男

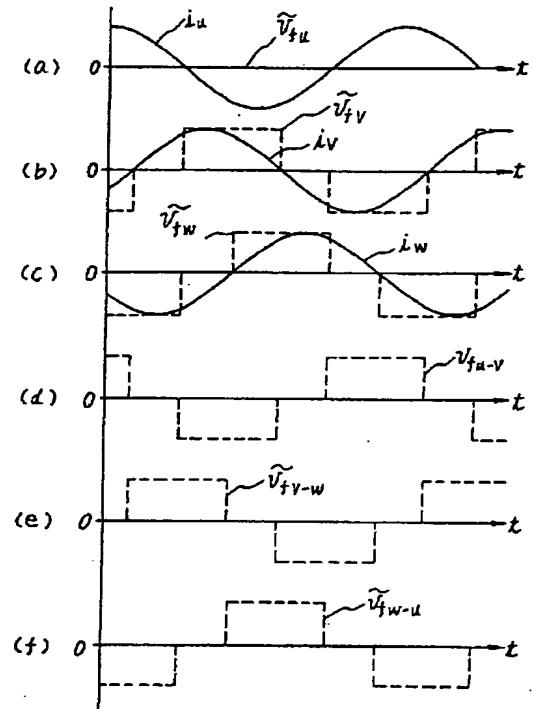
第 1 図



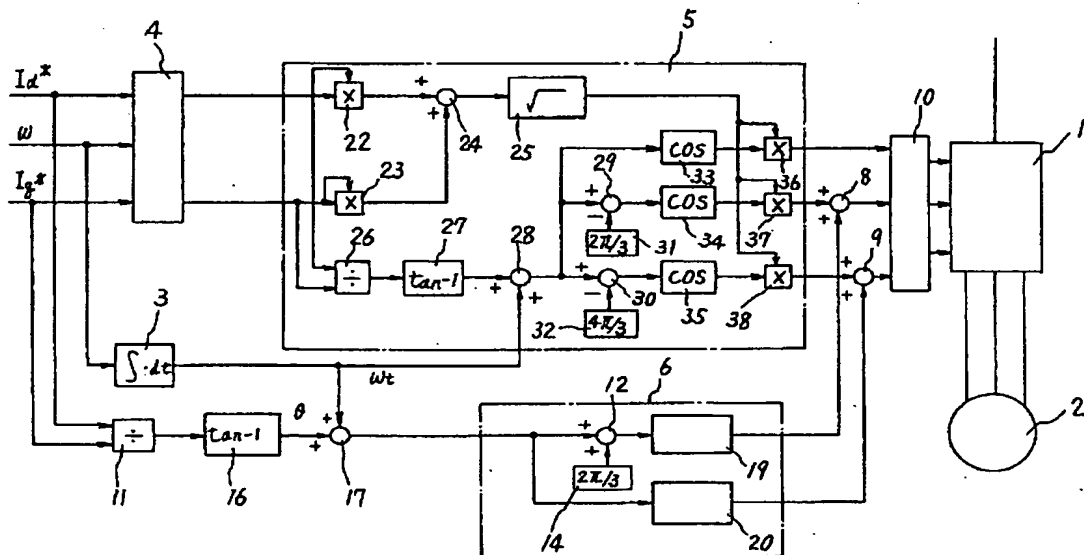
第 4 図



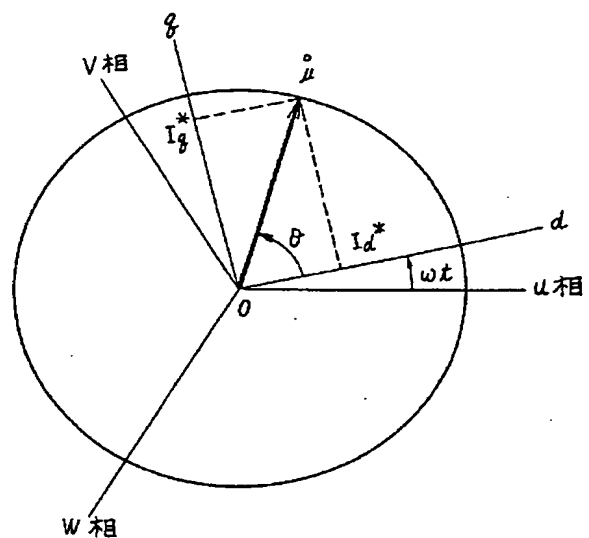
第 6 図



第 5 図



第 8 図



第 7 図

